

Requested Patent: JP11126815A

Title:

NONVOLATILE MEMORY, METHOD FOR TESTING THE SAME, AND RECORD MEDIUM THEREOF ;

Abstracted Patent: JP11126815 ;

Publication Date: 1999-05-11 ;

Inventor(s): FUKUDA NORIO ;

Applicant(s): SHARP CORP ;

Application Number: JP19980155850 19980604 ;

Priority Number(s): ;

IPC Classification:

H01L21/66; G11C16/06; G11C29/00; H01L27/115; H01L21/8247; H01L29/788;
H01L29/792 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To inspect tunnel oxide films used for a nonvolatile memory, such as the EEPROM, etc., with good accuracy by chip units. SOLUTION: Tunnel oxide film evaluating patterns 5 which are equivalent to an actually used memory cell are respectively put in chips, and pads 3 and 4 are respectively attached to the gate and diffused layer of each pattern 5, so that the state of each tunnel oxide film can be monitored. Therefore, the thickness of each tunnel oxide film can be estimated, and film quality can be confirmed by checking the generated voltage and the time until the oxide film is broken by making a constant current to flow to the pattern 5.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126815

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/66		H 0 1 L 21/66	W
			Q
G 1 1 C 16/06		G 1 1 C 29/00	6 7 3 Z
29/00	6 7 3	17/00	6 3 1
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4
審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く			

(21) 出願番号 特願平10-155850

(22) 出願日 平成10年(1998) 6月4日

(31) 優先権主張番号 特願平9-225333

(32) 優先日 平9 (1997) 8月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福田 典生

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

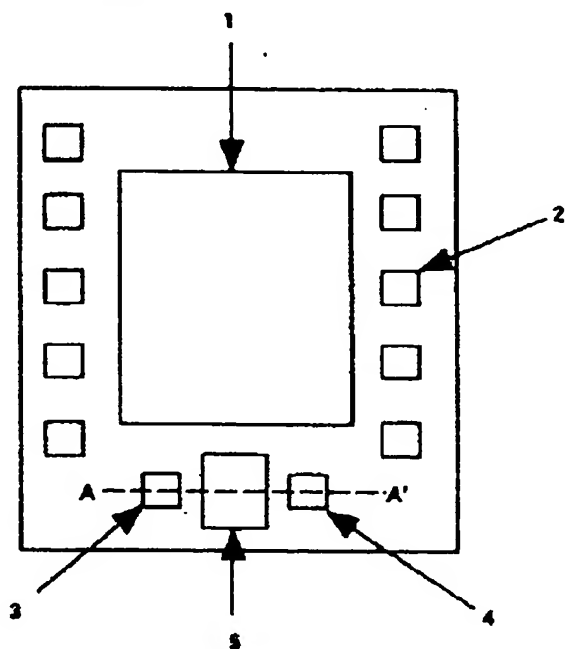
(74) 代理人 弁理士 平木 祐輔

(54) 【発明の名称】 不揮発性メモリ、該メモリをテストする方法及び記録媒体

(57) 【要約】

【課題】 EEPROM等の不揮発性メモリに使われるトンネル酸化膜をチップ単位で精度良く検査できるようにする。

【解決手段】 それぞれのチップ内に、実使用のメモリセルと同等のトンネル酸化膜の評価用パターン5を入れ、その評価用パターンにトンネル酸化膜の状態をモニタできるようにゲート及び拡散層にパッド3、4を付ける。これにより評価用パターンに定電流を流し、発生する電圧、及び破壊までの時間を見てトンネル酸化膜の膜厚推測、膜質確認を行うことが可能となる。



【特許請求の範囲】

【請求項1】 トンネル酸化膜を有する不揮発性メモリにおいて、該メモリのチップ内にあってフローティングゲートと同じ材質の領域と拡散領域との間にトンネル酸化膜が形成されたトンネル酸化膜の評価用パターンと、その評価用パターンの上記両領域にそれぞれ接続されたパッドと、を有することを特徴とする不揮発性メモリ。

【請求項2】 前記評価用パターンのトンネル酸化膜面積がメモリセルのトンネル酸化膜面積より大きいことを特徴とする請求項1記載の不揮発性メモリ。

【請求項3】 請求項1記載の不揮発性メモリの評価用パターンに所定電流を流したときに発生する電圧 V_{int} と、該メモリの書換電圧 V_{PP} とに関する関数 $f(V_{PP}, V_{int})$ を求める手順を備えることを特徴とする不揮発性メモリをテストする方法。

【請求項4】 前記関数が、

$$f(V_{PP}, V_{int}) = V_{PP} - V_{int}, \text{又は、}$$

$$f(V_{PP}, V_{int}) = V_{PP} / V_{int}$$

であることを特徴とする請求項3記載の不揮発性メモリをテストする方法。

【請求項5】 前記関数 $f(V_{PP}, V_{int})$ に対応する電圧で、請求項1記載の不揮発性メモリの評価用パターンの書換テストをすることを特徴とする請求項3記載の不揮発性メモリをテストする方法。

【請求項6】 前記関数が、

$$f(V_{PP}, V_{int}) = V_{PP} - a \times (V_{PP} - V_{int}) - b, \text{又は、}$$

$$f(V_{PP}, V_{int}) = V_{PP} - a \times (V_{PP} / V_{int}) - b$$

a, b は定数であることを特徴とする請求項5記載の不揮発性メモリをテストする方法。

【請求項7】 請求項4記載の関数 $f(V_{PP}, V_{int})$ に対応する電圧について、書換に伴うトンネル酸化膜破壊を引き起こす限界ストレス電圧を予め求める手順と、現実の上記関数 $f(V_{PP}, V_{int})$ に対応する電圧が上記限界ストレス電圧以上であるか否かをテストする手順とを備えることを特徴とする請求項4記載の不揮発性メモリをテストする方法。

【請求項8】 請求項3乃至7いずれかに記載の不揮発性メモリをテストする方法をコンピュータに実行させるためのプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トンネル酸化膜を有するEEPROM等の不揮発性メモリ、特に、そのトンネル酸化膜の特性を正確にテストすることができるもの、方法及び記録媒体に関する。

【0002】

【従来の技術】不揮発性メモリは電氣的にデータの書換ができて、電源を切ってもデータを保持できるという特

徴を持っており、一般的にEEPROMと呼ばれ、マイクロコンピュータのプログラム記憶用として、マイクロコンピュータに内蔵したり、単体でプログラム記憶以外にもデータのバックアップ用としてゲーム機に使用されたり、テレビの選局データ記憶や、機器のパラメータ記憶用に使用されている。

【0003】また、カードに半導体を内蔵したICカード或いはスマートカードにはセキュリティのための暗号コードや個人情報の記憶用としてこの不揮発性メモリが使用されている。このように、不揮発性メモリは今では色々な分野、用途に利用されており、今後はさらに大容量化、高機能化、高速化が進み利用範囲は拡大していくものと考えられている。EEPROMのメモリセルは電氣的書き込み、消去ができること、及び書き込まれたデータが不揮発性であることを実現するためトンネル現象を利用している。

【0004】不揮発性メモリの信頼性として、データの書換回数とデータの保持時間があり、いずれもトンネル酸化膜に大きく依存する。具体的にはトンネル酸化膜の膜厚と膜質である。図12に一般的なEEPROMのメモリ構造を示す。これは、フローティングゲート型と呼ばれているメモリセルの場合であるが、データの記憶はこのフローティングゲート(FG)に電荷を蓄積、或いは、消失させメモリトランジスタ(MTR)のしきい値(V_{THM})の変化を利用している。FGへの電荷移動は、コントロールゲート(CG)とドレイン(D)の間に高電圧(トランジスタ、メモリ構造、生産プロセス条件等で違うが一般的には約13V~15V)をかけて行う。CG-D間の電圧を V_{PP} とすると、FG-D間の電圧 V_{FG} はFG-CG間の容量 C_1 とFG-D間の容量 C_2 で決まる容量比(一般にカップリングレシオと呼ばれている)で下記式で計算できる。

$$V_{FG} = V_{PP} \times (C_1 / (C_1 + C_2))$$

この V_{FG} がトンネル酸化膜にかかり、この電荷がこの薄いトンネル酸化膜をトンネリングすることによってFGへの電荷移動が起こる。

【0005】このように電荷移動は薄い酸化膜(約80Å)を通して移動する。このため、データの書換で必ず、トンネル酸化膜にダメージを与えることになり、酸化膜の劣化や酸化膜破壊が起こる。酸化膜の劣化とは具体的には、書換によって酸化膜中のトラップされる正電荷が増え、この正電荷によってFGに移動する電荷に影響を与え、メモリセルの V_{THM} が書き込み(電荷蓄積状態)、消去(電荷消失状態)で差がなくなってくる現象である。この現象は一般に正電荷(ホール)のデトラップとよばれている。

【0006】その結果、データの区別ができなくなる。一般に、この V_{THM} の差を V_{THM} のウィンドウ幅と呼んでいる。酸化膜の破壊とは、具体的には酸化膜に長時間電圧のかかるストレスで真性絶縁膜破壊にいたるこ

とである。また、トンネル酸化膜にピンホールや欠陥があるとFGに蓄積された電荷が流失し、記憶素子としての機能を果たさなくなる。

【0007】

【発明が解決しようとする課題】以上のように不揮発性メモリの信頼性は酸化膜の膜厚、膜質の特性によって決まる。膜厚について製造工程でいかに均一な膜厚制御ができるかがポイントであるが、 $80\text{\AA}\pm 4\text{\AA}$ 以下のばらつきに抑える必要があり、分子レベルでの制御性が要求される。次に膜質についてはいかに真性破壊に強い耐久性のある酸化膜にできるかが重要であり材料と製造条件(熱処理条件等)によって決まる。従来のトンネル酸化膜の製造工程と検査方法を図13に示す。まず、トンネル酸化膜工程では一括処理ロットの端にトンネル酸化膜評価用としてベア状態のウエハを入れ膜厚をモニターし膜厚の制御をし、最終のウエハ出来上がり段階でロット内から何枚かを抜き取り、ウエハ中に設けたテスト用チップの中のトンネル酸化膜評価用パターンでトンネル酸化膜の厚さと、寿命をマニュアルで測定し、ロットの判定を行っていた。

【0008】このように、生産でのトンネル酸化膜製造工程ではスループットを上げるためにウエハをロット単位(或いは、数ロット単位)でバッチ処理をするために、常に良質な無欠陥のトンネル酸化膜をつくることはきわめて困難であり、トンネル酸化膜の定格条件からはずれたもの或いは、欠陥があるものがでてくる。以上のように、生産では定格からはずれたもの、或いは欠陥があるものが必ず存在する。従来の方法は、バッチ単位のロットからサンプルウエハを抜き取って、トンネル酸化膜の厚さと寿命をマニュアルで測定し条件からはずれていた場合、不良ロットとみなし全数不良としていた。このような判定、テスト方法では以下の問題点がある。

【0009】(1).ある抜き取りサンプルでロット判定するために、不合格ロットと判定されても良品が混在している場合がある。

(2).ある抜き取りサンプルでロット判定するために、合格ロットと判定されても不良品が混在している可能性が高い。

(3).バッチ処理ロット単位で判定するために、生産数量、納期の管理が困難になる。

【0010】このように、良品をも不良品にしてしまうことで、生産性を落としたり、良品でも不揮発性メモリの信頼性であるデータ書換回数、データ保持時間を満たさないものが生産され信頼性を落とす結果となる。この問題点を解決する手段として、従来から特開昭62-276879号公報に示されるように、トンネル酸化膜、及びフローティングゲートを有するメモリセルをもつ半導体チップにおいて、周辺に配列された配線用パッドと前記トンネル酸化膜と同時に形成された酸化膜を有するMIS(メタル-トンネル酸化膜-拡散)キャパシタを

備えていることを特徴とした半導体集積回路が出願されている。しかし、このMISキャパシタ構造の場合は以下のように、正確なトンネル酸化膜特性が得られず、また、実用性に問題がある。

【0011】1つ目は、トンネル酸化膜を直接メタルで接触させている構造をとっているが実際のメモリではトンネル酸化膜の上にはフローティングゲートと呼ばれるポリシリコンがくる。このため、物性の違いによる接触面でのエネルギーバンドギャップに違いでてくる。2つ目は、このMIS構造を作成することは、本来のメモリ工程の中ではきわめて困難である。なぜなら、このMIS構造を作るためにはトンネル酸化膜工程の次にすぐメタル工程が必要である。しかし、実際のメモリ製造工程では、トンネル酸化膜工程からメタル工程までにフローティングゲートポリシリコン工程や、2層ポリシリコン工程、拡散注入工程などの複数の工程がはいるためである。

【0012】本発明では、正確なトンネル酸化膜の特性が得られるよう、図2に示すように実際のメモリに近い構造にし、実際のメモリ製造工程の中でそのまま造れる構造にしている。また、不揮発性メモリのデータ書換に対するメモリ信頼性は、トンネル酸化膜特性だけではなく、書換電圧VPPにも大きく依存する。特に図14に示すように、電源電圧VDDを昇圧クロックφによって昇圧することによって書換電圧VPPをチップ内部で発生させる場合、昇圧のレベルが各トランジスタの耐圧、接合耐圧等で決まり、このばらつきは大きく、製造工程で小さな範囲内に押さえることは極めて困難である。

【0013】書換電圧VPPが高いと、データ書換時にトンネル酸化膜に過剰な電圧ストレスがかかり、トンネル酸化膜の永久破壊が起こる。書換電圧VPPが低いと、データ書換に必要な高電圧が不足し、書換ができなくなる。特に、書換回数が増えると、トンネル酸化膜が劣化し、書換回数が少ない時に比べ、より高い電圧を必要とする。このため、デバイスの初期での書換テストではパスするが、市場に出てデータが書換るに従って書換が不能になる場合が出てくる。

【0014】

【課題を解決するための手段】本発明の不揮発性メモリは、トンネル酸化膜を有する不揮発性メモリであって、該メモリのチップ内にあってフローティングゲートと同じ材質の領域と拡散領域との間にトンネル酸化膜が形成されたトンネル酸化膜の評価用パターンと、その評価用パターンの上記両領域のそれぞれに接続されたパッドと、を有するものである。

【0015】また、前記評価用パターンのトンネル酸化膜面積をメモリセルのトンネル酸化膜面積より大きくすると、テストのために評価用パターンに流す電流を実用的な値にすることができて好ましい。さらに、本発明の不揮発性メモリをテストする方法は、上記不揮発性メモ

りの評価用パターンに所定電流を流したときに発生する電圧 V_{int} と、該メモリの書換電圧 V_{PP} とに関する関数 $f(V_{PP}, V_{int})$ を求める手順を備える方法である。

【0016】また、前記関数が、 $f(V_{PP}, V_{int}) = V_{PP} - V_{int}$ 、又は、 $f(V_{PP}, V_{int}) = V_{PP} / V_{int}$ であると、トンネル酸化膜にかかるストレス電圧を直接的に表すことができて好ましい。また、前記関数 $f(V_{PP}, V_{int})$ に対応する電圧で、上記不揮発性メモリの評価用パターンの書換テストをすることで、多数回書換による最低書換電圧のシフトを見込んでテストすることができて好ましい。

【0017】また、前記関数が、 $f(V_{PP}, V_{int}) = V_{PP} - a \times (V_{PP} - V_{int}) - b$ 、又は、 $f(V_{PP}, V_{int}) = V_{PP} - a \times (V_{PP} / V_{int}) - b$ 、 a, b は定数であることで、最低書換電圧のシフトを正確に見込んでテストすることができて好ましい。

【0018】また、上記関数 $f(V_{PP}, V_{int}) = V_{PP} - V_{int}$ 、又は、 $f(V_{PP}, V_{int}) = V_{PP} / V_{int}$ に対応する電圧について、書換に伴うトンネル酸化膜破壊を引き起こす限界ストレス電圧を予め求める手順と、現実の上記関数 $f(V_{PP}, V_{int})$ に対応する電圧が上記限界ストレス電圧以上であるか否かをテストする手順とを備えることで、トンネル酸化膜にかかるストレス電圧によってテストすることができて好ましい。

【0019】また、本発明は上記不揮発性メモリをテストする方法をコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体である。本発明では、評価用パターンに定電流を流し、発生する電圧、及び破壊までの時間を見てトンネル酸化膜の膜厚推測、膜質確認を行うことができる。また、前記手段をとることにより、実際のメモリ製造工程中で、そのまま造れるメモリセル評価用パターンを作成でき、不揮発性メモリの信頼性が良好であるか否かを判定する上で重要な要素になるトンネル酸化膜特性をウエハ段階で、チップ単位に容易、かつ、正確に測定できるものである。

【0020】

【発明の実施の形態】図1は本発明における評価用パターンの配置例である。1は内部EEPROMメモリブロック、2はワイヤボンディング用パッド、3、4はゲート、ドレイン電圧印加用パッド、5はトンネル酸化膜評価用パターンである。図2は図1に見られる評価用パターンを破線A-A'で切断した場合のメモリ構造断面図である。6. P型シリコン基板、7. 保護膜、8. ゲート電圧印加用パッドメタル、9. ドレイン電圧印加用パッドメタル、10. トンネル酸化膜、11. ゲートポリシリコン、12. N+拡散領域、13. ロコス酸化領域、である。

【0021】本発明のメモリをテストする実際の回路例、及びトンネル酸化膜の特性試験方法について述べる。トンネル酸化膜の特性測定項目は、

- (1) トンネル酸化膜の膜厚
- (2) トンネル酸化膜の膜質

の2項目である。

【0022】(1) 最初にトンネル酸化膜の膜厚の測定について述べる。測定回路を図3に示す。ここで、3、4. は各々、ゲート電圧、ドレイン電圧印加用パッドメタルである。図3に示すように、3、4. 間に定電流源を接続し、ある一定の定電流 I_a を供給する。このとき、パッド3、4. の間にはトンネル酸化膜の厚さ T_D に応じた電圧が発生する。トンネル酸化膜に流す定電流 I_a に対する電圧 V とトンネル酸化膜厚 T_D の関係を図4に示す。この図は定電流 I_a を流した場合、トンネル酸化膜厚 T_D が決まれば、ある一定のトンネル酸化膜間電圧 V が発生することを示す。

【0023】このトンネル酸化膜間電圧 V をトンネル酸化膜初期電圧 V_{int} と呼び、上記の測定をトンネル酸化膜初期電圧テストと呼んでいる。このトンネル酸化膜初期電圧テストから、トンネル酸化膜厚 T_D と初期電圧 V_{int} の相関関係が得られる。図5にトンネル酸化膜に流す定電流 I_a におけるトンネル酸化膜厚 T_D と初期電圧 V_{int} の関係を示す。14. は製造におけるトンネル酸化膜厚 T_D の許容ばらつきである。図5に示されたように、トンネル酸化膜初期電圧 V_{int} を測定すれば、トンネル酸化膜厚 T_D を知ることができる。

【0024】具体的な数値で示すと以下ようになる。評価用パターンにおけるトンネル酸化膜の面積は、メモリセルのトンネル酸化膜面積よりも大きな面積にしておく。理由はメモリセルのトンネル酸化膜面積はプロセスルールの最小加工サイズで実現したとした場合、 $1\mu m$ プロセスルールでは $1\mu m \times 1\mu m$ 以下となる。この面積では流せる電流は数 pA であり、テストでは困難である。また発生電圧の精度が悪くなる。また、下記(2)の膜質テストにおいても大きい面積の方が欠陥が見つけられやすい。

【0025】以上よりチップサイズに影響がない程度の評価用のトンネル酸化膜の面積として $50\mu m \times 50\mu m$ を考える。トンネル酸化膜の電流密度を $0.02A/cm^2$ とすると、 $50\mu m \times 50\mu m$ の面積に流れる電流は電流密度 \times 面積 $=0.5\mu A$ となり定電流としては $0.5\mu A$ 程度が妥当と考える。デバイス評価段階で、トンネル酸化膜厚 T_D をばらつかせた試作品で、 $0.5\mu A$ を評価用パターンに流して各膜厚 T_D に対して図5のような相関特性を求めておく。最終的に得られた相関特性を基準に、許容膜厚 T_D に対する初期電圧テストを行う。

【0026】(2) 次にトンネル酸化膜の膜質のテストについて述べる。図6にストレス定電流 I_b を流した時

の、定電流印加時間と初期電圧値、不良膜厚品の破壊状態を示す。ここでストレス定電流 (I_b) とは、膜質テストのために引き上げられた加速定電流のことを指す。パッド3、4、間に供給している定電流 I_a を I_b に引き上げ、ある一定時間 (t_a) 電流を供給する。トンネル酸化膜の膜質不良であれば t_a 時間内にトンネル酸化膜破壊が起こる。 t_a を適当なテストスペック値に設定することにより、トンネル膜質の不良をリジェクトすることができる。

【0027】10万回書換保証を考えた場合、1回の書換時間を1msとすると、 I_a を加速しない0.5 μ Aの定電流では100000回 \times 1ms=100秒となる。仮に10倍の5 μ Aに引き上げて定電流を流したとすると1/10の10秒ですむ。つぎに、トンネル酸化膜のテストだけではなく、書換電圧VPPとトンネル酸化膜の両方の関係を見てテストする方法について説明する。この評価用パターンにトンネル電流である直流の定電流を流した時に発生する電圧Vintは、前述のようにトンネル酸化膜厚TDが厚い場合は高く、薄い場合は低くなる。

【0028】トンネル酸化膜の破壊及び特性劣化に対する書換電圧VPPとトンネル酸化膜厚TDの相関関係は以下のような傾向がある。書換電圧VPPが高く、TDが薄い場合（すなわちVintが低い場合）はトンネル酸化膜破壊が起こりやすく、トンネル酸化膜特性も劣化が大きい。逆に、書換電圧VPPが低く、TDが厚い場合（すなわちVintが高い場合）はトンネル酸化膜破壊は起こりにくく、トンネル酸化膜特性も劣化は小さい。

【0029】今回の評価パターンで、トンネル酸化膜厚TDは電圧 (Vint) に換算することができ、この評価用パターンに定電流を流し発生した電圧Vintと、書換電圧VPPとの差をトンネル酸化膜にかかるストレスとして定量的に求めることができ、この差を基準にトンネル酸化膜破壊あるいはトンネル酸化膜劣化特性を推測することができる。

【0030】図7に内部で書換電圧VPPを発生するための昇圧回路を内蔵し、評価パターンを入れたチップの構造図を示す。該チップでは本発明の評価用パターンがゲート電圧印加用パッドVGとドレイン電圧印加用パッドVDとに接続されている。ライトイネーブル信号WRENによって昇圧回路を起動し、電源電圧VDDから書換用高電圧VPPを発生させる。ここでVPPはパッドに出力し、ウェア状態でモニターできるようにしておく。これによって、書換電圧VPPとトンネル酸化膜厚TDと

$$\Delta VPP_{min}(n \text{ 回書換後}) = a \times (VPP - Vint) + b \quad \dots (1)$$

a, bはプロット線より求められる係数

この近似式を使用することで、トンネル酸化膜劣化によるVPPminシフトを推測する。テストはVPPから式1の $\Delta VPP_{min}(n \text{ 回書換後})$ を引いた下記の式2を示

$$VPP_{min}(int) = VPP - \Delta VPP_{min}(n \text{ 回書換後})$$

を推測し、以下で説明するVPPとTDの条件で決まるデータ書換特性を予測し、ウェアテストで良否判定をすることで一層正確で精度の高いメモリ信頼性試験をすることが可能になる。

【0031】図8に各トンネル酸化膜厚TDでの書換回数に対する最低書換電圧VPPminの変化を示す。ここでは書換電圧VPPは一定とする。一般にTDが厚くなればVPPminは高いが、書換に伴うトンネル酸化膜劣化によるVPPminのシフト量（線の傾き）は小さい。又、TDが薄いと破壊する可能性が高くなる。図9に各書換電圧VPPでの、書換回数に対する最低書換電圧VPPminの変化を示す。ここではTDは一定とする。

【0032】一般にVPPが高いと書換に伴うトンネル酸化膜劣化によるVPPminのシフト量は大きく、破壊する可能性が高くなる。以上の傾向は、トンネル酸化膜にかかるストレス電圧が違ってくるためである。すなわち、VPPが高いと図12のトンネル酸化膜にかかる電圧VFGが高くなり、またTDが薄いとVPPは一定でもC1とC2のカップリングレシオ比が高く、VFGが高くなる。VFGが高いとトンネル酸化膜へのダメージが大きく、トンネル酸化膜の特性劣化や永久破壊が起こる。トンネル酸化膜へのストレス電圧はトンネル酸化膜厚TDと書換電圧VPPの条件で決まることが分かる。

【0033】書換電圧はVPP電圧をモニターすることで知ることが可能であり、TDは前述のように評価パターンによるトンネル酸化膜初期電圧Vintをモニターすることで知ることが可能である。そして、VPP-Vintによってトンネル酸化膜へのストレス電圧を正確に測定できる。図8、図9の結果を基に、トンネル酸化膜にかかるストレス電圧に相当するVPP-Vintとトンネル酸化膜の劣化によるVPPminのシフト量 (ΔVPP_{min}) の関係をプロットした場合を図10に示す。ここでは、書換回数がm回、n回 ($m > n$) の場合で示している。所定のストレス電圧 ($*mV$ 又は $*nV$) がかけると、対応する書換回数 (m回又はn回) で酸化膜が破壊する。ストレス電圧が $*nV$ と大きいと、書換可能回数はn回と少なくなる。

【0034】まず、書換によるメモリ特性劣化についてのテスト条件について考える。書換回数が増えたとトンネル酸化膜劣化は大きくなり ΔVPP_{min} は大きくなる。書換をn回実施した後の ΔVPP_{min} について、評価段階で実際のデバイスで測定し、プロット結果を以下の計算式で近似する。

【0035】

す電圧VPPmin(int)で書換テストをすることで実際に数十万回の書換試験をしなくてもテストが可能になる。

【0036】

$$=VPP-a \times (VPP-V_{int})-b \quad \dots (2)$$

すなわち、書換をn回実施した後の最低書換電圧 VPP_{min} が ΔVPP_{min} (n回書換後)だけ上昇することを前提に、VPPを低くして書換テストをするのである。

【0037】つぎに、トンネル酸化膜の永久破壊についてのテスト条件を考える。n回の書換を保証する場合、n回書換した場合の破壊を、評価段階で実際のデバイスで測定し、限界ストレス電圧(図10で示す $VPP-V_{int}=*nV$)を求め、ストレス電圧が*nV以上であれば不良品として判定するテストを行う。ここで書換保証回数がm回となった場合は、式1の係数a、bをm回書換実測した結果をもとに計算し、テスト条件を決める。又破壊の限界ストレス電圧についても同様にm回書

$$VPP_{min}(int)=VPP-a \times (VPP/V_{int})-b \quad \dots (3)$$

としてもよいし、基本的には、

$$VPP_{min}(int)=VPP-\Delta VPP_{min}(n回書換後) \quad \dots (4)$$

であればよい。

【0040】また、テストはテスターにかければ、ウエハテストにおいて全チップを自動的に高速で判定することができ、従来の抜き取り評価方式に比べてより正確かつ高速に良否判定できるので、生産コストの大幅な改善ができる。さらに、本発明のパターンを使えば、従来ではアセンブリ後の出荷テストにおいて読み/書きテストを数万回行っていたのに対して、これを省略でき、これらも併せて生産管理上大変効率的になる。また、本発明は上記不揮発性メモリをテストする方法をコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体であってもよい。

【0041】

【発明の効果】以上の方法によりトンネル酸化膜厚TD、及び膜質のテストが可能となる。本発明の評価用パターンを使用すれば、トンネル酸化膜については、実際のメモリパターンと、その両側の拡散領域とフローティングゲート領域も含めて、同等の構造が得られ、なおかつ、全体としては実際のメモリパターンよりも簡潔な構造のパターンが得られて、不揮発性メモリの信頼性に決定的な影響を及ぼすトンネル酸化膜特性のより正確なテストを行うことができる。本評価用パターンは、ウエハ内の全チップに設けられていることから、チップ判定をすることができ、抜き取りサンプルでロット判定を行う場合と比較してより高精度なテストを行うことができるので、不要に歩留まりを落とすことなくかつメモリの信頼性の向上を図ることができる。

【0042】また、本評価用パターンでのTDを電圧換算した値と、パッドに出した書換電圧VPPとの差をモニターすることでトンネル酸化膜へのストレス量を簡単に求めることが可能となり、このストレス電圧を基準に書換によるトンネル酸化膜の劣化特性と破壊について前記の最低書換電圧 VPP_{min} の劣化(シフト幅= ΔVPP_{min} (n回書換後))を近似式に当てはめ、書換電圧V

換した場合の破壊を、評価段階で実際のデバイスで測定し、限界ストレス電圧(図10で示す $VPP-V_{int}=*mV$)を求め、テスト条件を決める。

【0038】以上のテスト条件を、ウエハテストに適用することでメモリ信頼性の向上が図られる。なお、本発明は上記実施の形態に限定されるものではない。ストレス電圧としては $VPP-V_{int}$ のほかに、 VPP/V_{int} でもよいし、VPPが増加すると増加し V_{int} が増加すると減少する等、VPPと V_{int} とで増加減少傾向が逆の関係の関数であればよい。

【0039】式2についても、

PPからこの劣化幅を差し引いて書換できるかどうかのテストと、破壊限界ストレス電圧のテストを行うことでウエハ状態で正確なメモリ信頼性テストが可能になる。また、このテスト方法を使用することによって、厳しいトンネル酸化膜工程製造条件の中で不要に歩留まりを落とすことなく且つメモリの信頼性の向上を図ることができる。

【0043】図11にこのテスト方法による効果を具体的に説明する。まず、従来はプロセスばらつき等に対する許容範囲として縦軸の書換電圧 $VPP_{min} \sim VPP_{max}$ と横軸のトンネル酸化膜厚 $TD_{min} \sim TD_{max}$ が交差する領域(領域Bと領域C)を良品として判定とされていた。ただし、TDは図13に示すトンネル酸化膜工程でのベアウエハのTDをマニュアルで測定しての判定であり、又トンネル酸化膜工程以降の熱処理で変わるためTD管理としては精度が極めて悪いものであった。それに加え、領域Cは書換による劣化で書換電圧VPPでは書換不能となる可能性がある領域でありテストで不良と判定すべき領域である。また、領域Aは良品とし十分問題ない領域であるにもかかわらず不良として判定し、不要に歩留まりを落とすと共に、VPP電圧を決めるプロセス耐圧に対し生産条件が厳しくならざるを得なくなっている。

【0044】しかし、本発明では、書換電圧VPP及びトンネル酸化膜厚TDに対応する電圧 V_{int} に関する関数を求める、すなわち、トンネル酸化膜厚に応じた書換電圧VPPをテストしているので、領域Aは良品として、領域Cは不良品として判定するため、極めて正確なメモリ信頼性のテストを行い、かつ不要に歩留まりを落とすことなくしかも耐圧に関する生産条件も緩和できるという大きな利点を得られる。また、マニュアル測定でのロット判定に要する時間の削減と歩留まり向上でコストダウンを図ることができる。

【図面の簡単な説明】

【図1】本発明における評価用パターンの配置例を示す図。

【図2】本発明における評価用パターンのメモリ断面構造図。

【図3】トンネル酸化膜測定回路例を示す図。

【図4】トンネル酸化膜に流す定電流 I に対する電圧 V とトンネル酸化膜厚 TD の関係を示す図。

【図5】トンネル酸化膜に流す定電流 I_a におけるトンネル酸化膜厚 TD と初期電圧 V_{int} の関係を示す図。

【図6】トンネル酸化膜に流すストレス定電流 I_b における定電流印加時間 t_a と電圧 V_{int} の関係及び、膜質不良品の破壊モードを示す図。

【図7】本発明を使用するチップの構造図。

【図8】書換回数と最低書換電圧 V_{PPmin} との関係を示す図（その1）。

【図9】書換回数と最低書換電圧 V_{PPmin} との関係を示す図（その2）。

【図10】ストレス電圧 $V_{PP} - V_{int}$ と最低書換電圧のシフト量 ΔV_{PPmin} との関係を示す図。

【図11】トンネル酸化膜厚 $TD \times$ 書換電圧 V_{PP} 軸上

における良否分布を示す図。

【図12】一般的なEEPROMのメモリ断面構造図。

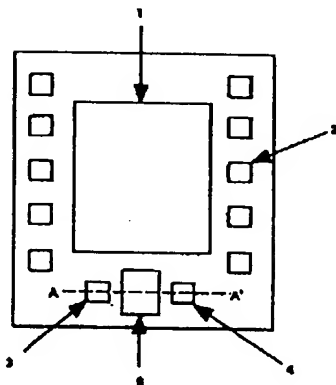
【図13】従来のトンネル酸化膜の製造工程と検査方法を示す図。

【図14】昇圧回路及びトランジスタ構造を示す図。

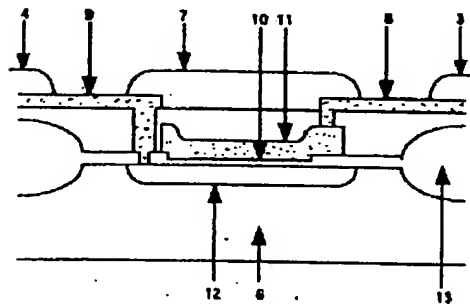
【符号の説明】

- 1 内部EEPROMメモリブロック
- 2 ワイヤボンディング用パッド
- 3 ゲート電圧印加用パッド
- 4 ドレイン電圧印加用パッド
- 5 トンネル酸化膜評価用パターン
- 6 P型シリコン基板
- 7 保護膜
- 8 ゲート電圧印加用パッドメタル
- 9 ドレイン電圧印加用パッドメタル
- 10 トンネル酸化膜
- 11 ゲートポリシリコン
- 12 N+拡散領域
- 13 ロコソ酸化
- 14 トンネル酸化膜厚 TD の許容ばらつき

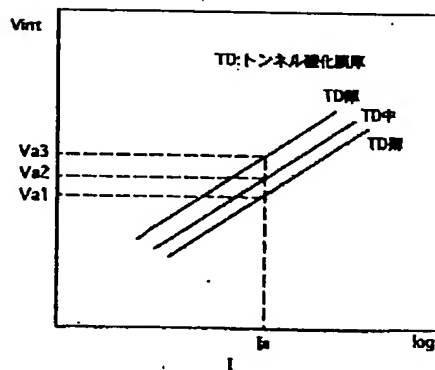
【図1】



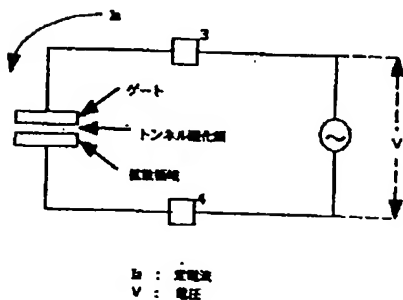
【図2】



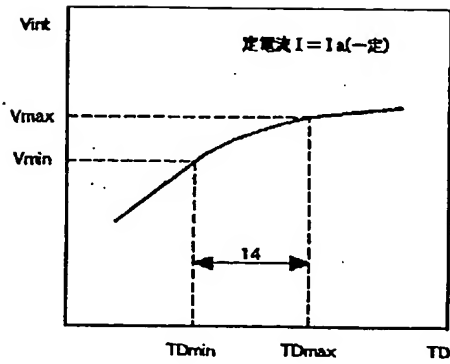
【図4】



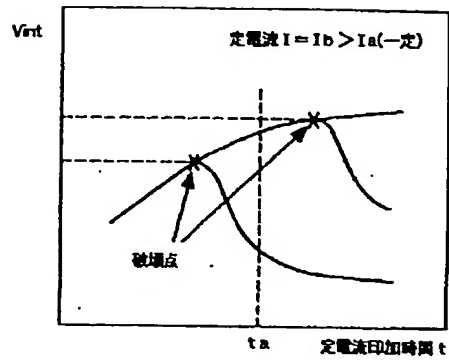
【図3】



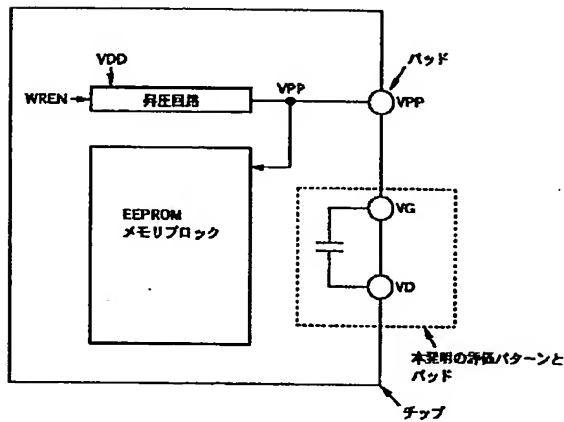
【図5】



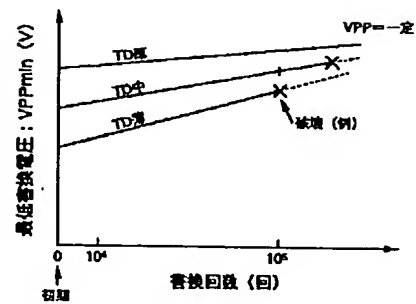
【図6】



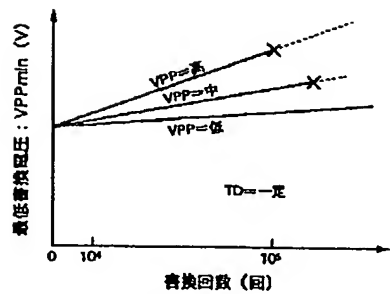
【図7】



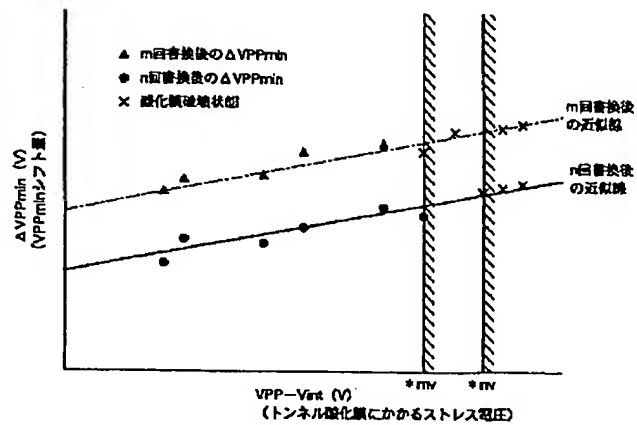
【図8】



【図9】



【図10】



The figure consists of two parts. The top part is a timing diagram showing a sequence of clock pulses labeled ϕ . Above the pulses is a signal labeled VDD , and below the pulses is a signal labeled VPP . The bottom part is a cross-sectional schematic of a 1T1C1D1S1 structure. It shows a P -基板 (P-substrate) at the base. Above it are two N^+ regions. The region on the left is labeled D_{rn} with an arrow pointing to it. The region on the right is labeled VPP . A line connects the VPP signal in the timing diagram to the VPP region in the schematic.

一括処理ロット

製品ウエハ

製品ウエハ

抜き取り

ペアウエハ
(真厚TDモニタ用ウエハ)

テスト用チップ

フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

29/792